

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Hisayoshi OHBA et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: June 27, 2003

Examiner:

For: METHOD, PROGRAM AND APPARATUS FOR DESIGNING A SEMICONDUCTOR  
DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicants submit herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2002-196865

Filed: July 5, 2002

It is respectfully requested that the applicants be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: June 27, 2003

By: 

William F. Herbert  
Registration No. 31,024

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 5日

出 願 番 号

Application Number:

特願2002-196865

[ ST.10/C ]:

[ JP 2002-196865 ]

出 願 人

Applicant(s):

富士通株式会社

2003年 1月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000401

【書類名】 特許願

【整理番号】 0240260

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 半導体装置の設計方法、半導体装置の設計プログラム及び半導体装置の設計装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 大庭 久芳

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 渡邊 淳

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の設計方法、半導体装置の設計プログラム及び半導体装置の設計装置

【特許請求の範囲】

【請求項 1】 ダミーパターンを設計パターン間に挿入するコンピュータを用いた半導体装置の設計方法において、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し、  
前記分割領域の設計パターン間にダミーパターンを挿入し、  
前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出し、  
前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する、

ことを特徴とする半導体装置の設計方法。

【請求項 2】 前記分割領域の大きさに関する分割指定情報を受け付け、  
前記レイアウトパターンを前記分割指定情報で指定される大きさの分割領域に分割することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 3】 前記ダミーパターンが挿入される前記分割領域の指定に関する発生ダミー指定情報を受け付け、

前記発生ダミー指定情報で指定される前記分割領域の設計パターン間に前記ダミーパターンを挿入することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 4】 前記設計パターン間に挿入される前記ダミーパターンのパターンルールに関するダミールール情報を受け付け、

前記設計パターン間に前記ダミールール情報に基づいたパターンルールのダミーパターンを挿入することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 5】 前記分割領域と前記分割領域に隣接する分割領域とを含む領域の設計パターン間に前記ダミーパターンを挿入することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 6】 前記密度が前記所望の値と一致しない場合、前記密度を算出した前記分割領域を拡大した領域において、前記ダミーパターンと前記設計パタ

ーンとの密度を算出することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 7】 前記密度が前記所望の値と一致しない場合、前記密度を算出した前記分割領域と前記分割領域に隣接する分割領域とを含む領域において、前記ダミーパターンと前記設計パターンとの密度を算出することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 8】 前記レイアウトパターン全体における設計パターンとダミーパターンとの密度を算出することを特徴とする請求項 1 記載の半導体装置の設計方法。

【請求項 9】 ダミーパターンを設計パターン間に挿入する半導体装置の設計プログラムにおいて、

コンピュータに、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し、

前記分割領域の設計パターン間にダミーパターンを挿入し、

前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出し、

前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する、

処理を実行させることを特徴とする半導体装置の設計プログラム。

【請求項 10】 ダミーパターンを設計パターン間に挿入する半導体装置の設計装置において、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割する分割部と、

前記分割領域の設計パターン間にダミーパターンを挿入する挿入部と、

前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出する算出部と、

前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する変更部と、

を有することを特徴とする半導体装置の設計装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置の設計方法、半導体装置の設計プログラム及び半導体装置の設計装置に関し、特にダミーパターンを設計パターン間に挿入する半導体装置の設計方法、半導体装置の設計プログラム及び半導体装置の設計装置に関する。

【 0 0 0 2 】

【従来の技術】

現在、半導体装置では、設計パターン密度の偏りによる、チップ表面上の平坦のばらつきや、設計パターンの太さのばらつきを抑えるため、設計パターン間にダミーパターンを挿入することが必須技術となっている。そこで、ダミーパターンを挿入した半導体装置を設計するための設計ツールがある。

【 0 0 0 3 】

例えば、アルミニウム配線では、配線パターンの側壁に側壁保護膜を形成するが、配線パターン密度に偏りがあると、エッチング工程で厚さの異なった側壁保護膜が形成される。このため、配線パターン間に、ダミーパターンを挿入するよう設計ツールで設計し、配線パターン密度の一様化を図る。

【 0 0 0 4 】

銅配線では、配線パターン密度に偏りがあると、CMP (Chemical Mechanical Polishing) 研磨時に、配線パターンの中央が窪む現象 (ディッシング現象) が生じる。このため、配線パターン間に、ダミーパターンを挿入するよう設計ツールで設計し、配線パターン密度の一様化を図る。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、従来の設計ツールでは、半導体チップ全体におけるダミーパターンと設計パターンとの密度が、所望の密度となるように、設計パターン間にダミーパターンを挿入する。このため、半導体チップの一部分に、ダミーパターンが挿入されない場合があり、パターン密度の偏在化が生じるという問題点があった。

【 0 0 0 6 】

本発明はこのような点に鑑みてなされたものであり、半導体チップの全部分に

において、パターン密度を均一化した半導体装置を設計する半導体装置の設計方法、半導体装置の設計プログラム、及び半導体装置の設計装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すような、ダミーパターンを設計パターン間に挿入するコンピュータを用いた半導体装置の設計方法において、半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し（ステップS1）、分割領域の設計パターン間にダミーパターンを挿入し（ステップS2）、ダミーパターンと設計パターンとの密度を分割領域毎に算出し（ステップS3）、密度が所望の値となるようにダミーパターンのパターンルールを変更する（ステップS4）、ことを特徴とする半導体装置の設計方法が提供される。

【0008】

このような半導体装置の設計方法によれば、設計パターン3a、3bとダミーパターン4aとの密度が、分割領域において所望の値となるようにダミーパターン4aのダミールールが変更される（ダミーパターン4b）。これにより、半導体装置の全部分において、ダミーパターンと設計パターンとの密度を均一化した半導体装置を設計する。

【0009】

【発明の実施の形態】

まず、本発明の原理について図面を参照して説明する。

図1は、本発明の原理を説明する原理図である。図1には、本発明に係る半導体装置の設計方法を実現するコンピュータの処理手順が示されている。また、設計、製造しようとする半導体装置の、半導体チップのレイアウト層のレイアウトパターン1aが示されている。レイアウトパターン1aを所定の分割領域に分割したレイアウトパターン1bが示されている。分割領域の設計パターン間にダミーパターンが挿入されたレイアウトパターン1cが示されている。ダミーパターンのダミールールが変更されたレイアウトパターン1dが示されている。分割領域拡大図Aは、レイアウトパターン1cの分割領域の拡大図である。分割領域拡



大図Bは、レイアウトパターン1 dの分割領域の拡大図である。

【0 0 1 0】

コンピュータは、以下の手順に従って処理を実行する。

〔ステップS 1〕コンピュータは、半導体チップのレイアウト層のレイアウトパターン1 aを、レイアウトパターン1 bに示すように、分割領域2 a, 2 b, . . . に分割する。

【0 0 1 1】

〔ステップS 2〕コンピュータは、レイアウトパターン1 cの分割領域拡大図Aに示すように、分割領域の設計パターン3 a, 3 b間にダミーパターン4 aを挿入する。コンピュータは、全ての分割領域の設計パターン間にダミーパターンを挿入する。

【0 0 1 2】

〔ステップS 3〕コンピュータは、ダミーパターンと設計パターンとの密度を分割領域毎に算出する。

〔ステップS 4〕コンピュータは、ステップS 3で算出された密度が、所望の値となるように、分割領域毎のダミーパターンのパターンルールを、レイアウトパターン1 dの分割領域拡大図Bのダミーパターン4 bに示すように変更する。なお、ダミールールとは、ダミーパターンの配線幅などの配線構造、設計パターン間に挿入する位置（配置）のことを示す。

【0 0 1 3】

例えば、ステップS 3で算出された密度が、所望の密度より大きければ、ダミーパターンの配線幅を狭くして、ダミーパターンと設計パターンとの密度を小さくし、所望の密度となるようにする。所望の密度より小さければ、ダミーパターンの配線幅を広くして、ダミーパターンと設計パターンとの密度を大きくし、所望の密度となるようにする。

【0 0 1 4】

このように、本発明では、半導体チップのレイアウトパターンを分割領域に分割し、分割領域の設計パターン間にダミーパターンを挿入する。そして、分割領域毎における、ダミーパターンと設計パターンとの密度が、所望の値となるよう

に、ダミーパターンのダミールールを変更する。これにより、ダミーパターンと設計パターンとの密度を、半導体チップの全部分において均一化した半導体装置を設計することができる。

【 0 0 1 5 】

次に、本発明の実施の形態を、コンピュータに適用した場合を例にして説明する。

図 2 は、コンピュータのハードウェアブロック図である。コンピュータ 1 0 は、CPU (Central Processing Unit) 1 0 a によって装置全体が制御されている。CPU 1 0 a には、バス 1 0 g を介して RAM (Random Access Memory) 1 0 b、ハードディスクドライブ (HDD: Hard Disk Drive) 1 0 c、グラフィック処理装置 1 0 d、入力インタフェース 1 0 e、および通信インタフェース 1 0 f が接続されている。

【 0 0 1 6 】

RAM 1 0 b には、CPU 1 0 a に実行させる OS (Operating System) のプログラムや半導体装置を設計するアプリケーションプログラムの少なくとも一部が一時的に格納される。また、RAM 1 0 b には、CPU 1 0 a による処理に必要な各種データが保存される。HDD 1 0 c には、OS やアプリケーションプログラムが格納される。

【 0 0 1 7 】

グラフィック処理装置 1 0 d には、モニタ 1 0 h が接続されている。グラフィック処理装置 1 0 d は、CPU 1 0 a からの命令に従って、画像をモニタ 1 0 h の表示画面に表示させる。入力インタフェース 1 0 e には、キーボード 1 0 i と、マウス 1 0 j とが接続されている。入力インタフェース 1 0 e は、キーボード 1 0 i やマウス 1 0 j から送られてくる信号を、バス 1 0 g を介して CPU 1 0 a に送信する。

【 0 0 1 8 】

通信インタフェース 1 0 f は、図示しない他のコンピュータに接続されている。通信インタフェース 1 0 f は、LAN を介して、他のコンピュータとの間のデータの送受信を行う。

## 【0019】

以上のようなハードウェア構成によって、本発明の半導体装置の設計方法を実現することができる。

図3は、コンピュータの機能ブロック図である。図3に示すようにコンピュータ10は、レイアウトパターン分割部11、ダミーパターン挿入部12、パターン密度算出部13、ダミールール変更部14、分割領域拡張部15、全パターン密度算出部16、及びレイアウトDB17を有している。

## 【0020】

レイアウトDB17は、設計、製造しようとする半導体チップの配線層におけるレイアウトパターンを記憶するデータベースである。レイアウトDB17は、図2に示すHDD10c、又はRAM10bの記憶装置に対応する。

## 【0021】

図3に示す分割指定情報21は、レイアウトパターンを分割する分割領域の大きさに関する情報である。ダミールール情報22は、ダミーパターンの配線幅などの配線構造、挿入位置（配置）に関する情報である。発生ダミー指定情報23は、分割領域に分割されたレイアウトパターンの、どの分割領域にダミーパターンを挿入するかを示す情報である。基準密度情報24は、分割領域における、ダミーパターンと配線パターンとの密度を設定するための密度が示された情報である。基準密度情報25は、レイアウトパターン全体における、ダミーパターンと配線パターンとの密度を設定するための密度が示された情報である。分割指定情報21、ダミールール情報22、発生ダミー指定情報23、基準密度情報24、及び基準密度情報25は、図2に示すコンピュータ10のキーボード10iから入力される。

## 【0022】

レイアウトパターン分割部11は、レイアウトDB17に記憶されているレイアウトパターンを分割領域に分割する。レイアウトパターン分割部11は、分割指定情報21で指定される大きさの分割領域で分割する。具体的には、任意の大きさが（分割領域の縦、横方向）、分割指定情報21として指定される。半導体チップの縦、横方向の最大公約数が、分割指定情報21として指定される。半導

体チップの入出力パッドの間隔が、分割指定情報 2 1 として指定される。半導体チップの RAM マクロの縦、横方向の最大公約数が、分割指定情報 2 1 として指定される。又は、配線パターンの高密度に配置されている部分の大きさが、分割指定情報 2 1 として指定される。

#### 【 0 0 2 3 】

ダミーパターン挿入部 1 2 は、レイアウトパターン分割部 1 1 によって分割されたレイアウトパターンの分割領域内に、ダミーパターンを挿入する。ダミーパターン挿入部 1 2 は、ダミールール情報 2 2 の、ダミーパターンの配線幅などの配線構造、挿入位置（配置）に関する情報に基づいたダミーパターンを分割領域の配線パターン間に挿入する。また、ダミーパターン挿入部 1 2 は、発生ダミー指定情報 2 3 が指定する分割領域にダミーパターンを挿入する。図 4 は、ダミーパターンの挿入を説明する図で、（a）は分割された分割領域内にダミーパターンを挿入する説明図、（b）は分割領域とその分割領域に隣接する分割領域を含む領域にダミーパターンを挿入する説明図である。

#### 【 0 0 2 4 】

図 4（a）には、半導体チップの配線層のレイアウトパターンの一部が示してある。レイアウトパターンは、点線で囲まれる分割領域 3 0 ～ 3 5 に分割されている。ダミーパターン挿入部 1 2 は、分割領域 3 0 ～ 3 5 毎にダミーパターンを挿入していく。このとき、発生ダミー指定情報 2 3 が指定する分割領域にのみ、ダミーパターンを挿入していく。例えば、発生ダミー指定情報 2 3 より、分割領域 3 0、分割領域 3 2 ～ 3 5 にダミーパターンを挿入するよう指定されたとする。この場合、図 4（a）の例に示すように、分割領域 3 1 には、ダミーパターンが挿入されない。

#### 【 0 0 2 5 】

すなわち、ダミーパターン挿入部 1 2 は、指定された分割領域にのみ、ダミーパターンを挿入する。これにより、ダミーパターンを発生させたい分割領域を指定することにより、ダミーパターンの挿入による、配線パターン間の容量値の変化を防止したい領域に、ダミーパターンを挿入しないようにすることができる。

#### 【 0 0 2 6 】

図4.(b)には、四角形の分割領域36、分割領域36に隣接する、分割領域36と同じ形状をした分割領域36a、分割領域36と分割領域36aとを含む、分割領域36と同じ形状をした領域36bが示されている。ダミーパターン挿入部12は、発生ダミー指定情報23より所定の指定を受けた場合、分割領域36、36aにダミーパターンを挿入する。そして、分割領域36と、分割領域36aとを含む領域36bにダミーパターンを挿入する。

【0027】

すなわち、ダミーパターン挿入部12は、分割領域にダミーパターンを挿入し、さらに、分割領域と、その分割領域に隣接する分割領域とを含む領域に、ダミーパターンを挿入する。これにより、分割領域の境界におけるダミーパターンの不連続を防ぐことができる。

【0028】

また、図4(b)中の水平方向について説明したが、垂直方向においても同様にして、分割領域と、その分割領域に隣接する分割領域とを含む領域にダミーパターンを挿入していく。

【0029】

パターン密度算出部13は、レイアウトパターンのダミーパターンと配線パターンとの密度（以下、パターン密度）を分割領域毎に算出する。パターン密度算出部13は、算出したパターン密度と基準密度情報24に示される密度が一致しているか否かを判断する。

【0030】

全パターン密度算出部16は、レイアウトパターン全体におけるパターン密度を算出し、基準密度情報25に示される密度と一致しているか否かを判断する。

ダミールール変更部14は、パターン密度算出部13によって、パターン密度が基準密度情報24に示される密度と一致していないと判断された場合、パターン密度が一致しなかった分割領域のダミーパターンのダミールールを変更する。また、ダミールール変更部14は、全パターン密度算出部16によって、パターン密度が基準密度情報25に示される密度と一致していないと判断された場合、レイアウトパターン全体におけるダミーパターンのダミールールを変更する。例

えば、各分割領域のダミーパターンのダミールールをそれぞれ同一の規則に従って変更する。パターン密度が所望の密度より小さい場合には、各分割領域のダミーパターンのサイズをそれぞれ同一の割合で大きくする。パターン密度が所望の密度より大きい場合には、各分割領域のダミーパターンのサイズをそれぞれ同一の割合で小さくする。

#### 【0031】

また、ダミールール変更部14は、ダミーパターンのダミールール変更を、所定回数行ったか否かを判断する。そして、所定回数未満と判断した場合のみ、ダミールールの変更を行う。これは、必要以上にダミールールの変更を行って、ダミーパターンが必要以上に大きく、又は小さくなることを防ぐためである。図5は、ダミールールの変更を説明する図で、(a)はダミーパターンのサイズ変更、(b)はダミーパターンの間引き、(c)はダミーパターンの追加を説明する図である。

#### 【0032】

レイアウトパターンの分割領域内に、図5(a)の左端に示すようなダミーパターンが挿入されているとする。このダミーパターンにおけるパターン密度において、パターン密度算出部13が、基準密度情報24に示される密度より少ないと判断した場合、ダミールール変更部14は、ダミーパターンの面積を大きくする。そして、所望の密度が得られるまで、矢印で順に示しているように、ダミーパターンの面積を大きくする。図に示していないが、逆に、パターン密度算出部13が、基準密度情報24に示される密度より大きいと判断した場合、ダミールール変更部14は、ダミーパターンの面積を小さくする。

#### 【0033】

レイアウトパターンの分割領域内に、図5(b)の左端に示すようなダミーパターンが挿入されているとする。このダミーパターンにおけるパターン密度において、パターン密度算出部13が、基準密度情報24に示される密度より大きいと判断した場合、ダミールール変更部14は、ダミーパターンを間引く。そして、所望の密度が得られるまで、矢印で順に示しているように、ダミーパターンを間引く。

## 【 0 0 3 4 】

レイアウトパターンの分割領域内に、図 5 (c) の左端に示すようなダミーパターンが挿入されているとする。このダミーパターンにおけるパターン密度において、パターン密度算出部 1 3 が、基準密度情報 2 4 に示される密度より小さいと判断した場合、ダミールール変更部 1 4 は、ダミーパターンを追加する。そして、所望の密度が得られるまで、矢印で順に示しているように、ダミーパターンを追加する。

## 【 0 0 3 5 】

なお、図 5 (a) ~ (c) において、ダミーパターンの形状を四角形としているが、実際はダミールール情報 2 2 に従った形状のダミーパターンにおいて、サイズ、配置が変更される。

## 【 0 0 3 6 】

分割領域拡張部 1 5 は、ダミールール変更部 1 4 によって、所定回数ダミーパターンのサイズ、配置を変更しても所望のパターン密度（基準密度情報 2 4, 2 5 が示す密度）が得られない場合、パターン密度算出部 1 3 が算出するパターン密度の密度算出基準を変更する。すなわち、パターン密度の算出基準となる分割領域の大きさや配置を変更する。図 6 は、パターン密度算出基準を説明する図で、(a) は分割領域とその隣接する分割領域を含む領域をパターン密度算出基準とした場合、(b) は分割領域を拡大した領域をパターン密度算出基準とした場合を説明する図である。

## 【 0 0 3 7 】

図 6 (a) に示す四角形の分割領域 4 0 において、ダミーパターンのサイズ、配置を、所定回数変更しても所望のパターン密度が得られなかったとする。分割領域拡張部 1 5 は、分割領域 4 0 と、分割領域 4 0 に隣接する分割領域 4 0 a, 4 0 b を含む領域 4 1, 4 2 を、パターン密度算出の基準とする。これにより、分割領域 4 0 において、所望のパターン密度が得られなくても、領域 4 1, 4 2 におけるパターン密度が所望の密度を満たしていれば、分割領域 4 0 のパターン密度は、所望の密度であると判断する。

## 【 0 0 3 8 】

すなわち、分割領域とその分割領域に隣接する分割領域を含む領域において、パターン密度が所望の密度を満たしていれば、分割領域 4 0 のパターン密度は、所望の密度であると判断する。

#### 【 0 0 3 9 】

図 6 ( b ) に示す四角形の分割領域 4 1 において、ダミーパターンのサイズ、配置を所定回数変更しても所望のパターン密度が得られなかったとする。分割領域拡張部 1 5 は、分割領域 4 1 の辺の長さ  $L_3$ 、 $L_4$  を整数倍 ( 図 6 ( b ) では 2 倍 ) した領域 4 1 a をパターン密度算出の基準とする。これにより、分割領域 4 1 において、所望のパターン密度が得られなくても、領域 4 1 a におけるパターン密度が所望の密度を満たしていれば、分割領域 4 0 のパターン密度は、所望の密度であると判断する。

#### 【 0 0 4 0 】

すなわち、分割領域を拡大した領域において、パターン密度が所望の密度を満たしていれば、分割領域 4 0 のパターン密度は、所望の密度であると判断する。

全パターン密度算出部 1 6 は、レイアウトパターン全体におけるパターン密度を算出し、基準密度情報 2 5 に示される密度と一致しているか否かを判断する。全パターン密度算出部 1 6 が、密度が一致していないと判断した場合は、ダミールール変更部 1 4 によって、ダミーパターンのダミールールが変更される。例えば、各分割領域のダミーパターンのダミールールをそれぞれ同一の規則に従って変更する。ダミールールが所定回数変更されても、パターン密度が一致しない場合は、分割領域拡張部 1 5 によって、パターン密度を算出する密度算出基準を変更する。

#### 【 0 0 4 1 】

以下に、図 3 に示す機能ブロック図の処理の流れをフローチャートを用いて説明する。

図 7 は、コンピュータの処理の流れを示したフローチャートである。コンピュータ 1 0 は、以下のステップに従って半導体装置の設計を行う。

#### 【 0 0 4 2 】

〔ステップ S 1 1〕コンピュータ 1 0 のレイアウトパターン分割部 1 1 は、レ



レイアウトDB 17に記憶されているレイアウトパターンを、分割指定情報21が指定する大きさの分割領域で分割する。

【0043】

〔ステップS12〕コンピュータ10のダミーパターン挿入部12は、レイアウトパターン分割部11によって分割されたレイアウトパターンの分割領域に、ダミーパターンを挿入する。ダミーパターン挿入部12は、ダミールール情報22に従ったダミーパターンを分割領域に挿入する。また、ダミーパターン挿入部12は、発生ダミー指定情報23が指定する分割領域にダミーパターンを挿入する。

【0044】

〔ステップS13〕コンピュータ10のパターン密度算出部13は、分割領域毎のパターン密度を算出する。

〔ステップS14〕コンピュータ10のパターン密度算出部13は、算出したパターン密度と基準密度情報24に示される密度とが一致しているか否かを判断する。すべてのパターン密度が一致した場合は、ステップS18へ進む。密度が一致しない場合は、ステップS15へ進む。

【0045】

〔ステップS15〕コンピュータ10のダミールール変更部14は、パターン密度が一致しなかった分割領域のダミーパターンのダミールール変更を、所定回数以上行ったか否かを判断する。所定回数以上と判断した場合は、ステップS17へ進む。所定回数未満と判断した場合は、ステップS16へ進む。

【0046】

〔ステップS16〕コンピュータ10のダミールール変更部14は、ダミーパターンのダミールールを変更する。そして、ステップS13へ進む。なお、ステップS13において、パターン密度算出部13は、ダミールールが変更されたダミーパターンで、パターン密度を算出する。

【0047】

〔ステップS17〕コンピュータ10の分割領域拡張部15は、パターン密度を算出する密度算出基準となる分割領域の配置、大きさを変更する。そして、ス

チップ S 13 へ進む。なお、ステップ S 13 において、パターン密度算出部 13 は、配置、大きさが変更された分割領域で、パターン密度を算出する。

【0048】

〔ステップ S 18〕コンピュータ 10 の全パターン密度算出部 16 は、レイアウトパターン全体におけるパターン密度を算出し、基準密度情報 25 に示される密度と一致しているか否かを判断する。密度が一致した場合は、コンピュータ 10 は、処理を終了する。密度が一致しない場合は、ステップ S 19 へ進む。

【0049】

〔ステップ S 19〕コンピュータ 10 のダミールール変更部 14 は、レイアウトパターン全体における、ダミーパターンのダミールール変更を、所定回数以上行ったか否かを判断する。所定回数以上と判断した場合は、ステップ S 17 へ進む。所定回数未満と判断した場合は、ステップ S 16 へ進む。

【0050】

このように、レイアウトパターンを分割領域に分割し、分割領域の配線パターン間にダミーパターンを挿入する。そして、分割領域毎にパターン密度を算出し、パターン密度が所望の密度となるように、挿入したダミーパターンのダミールールを変更する。これにより、パターン密度を、半導体チップの全部分において均一化した半導体装置を設計することができる。

【0051】

また、ダミーパターンを発生させる分割領域を指定することにより、ダミーパターンの挿入による、配線パターン間の容量値の変化を防止したい領域に、ダミーパターンを挿入しないようにすることができる。

【0052】

さらに、分割領域にダミーパターンを挿入し、さらに、分割領域と、その分割領域に隣接する分割領域とを含む領域に、ダミーパターンを挿入する。これにより、分割領域の境界におけるダミーパターンの不連続を防ぐことができ、パターン密度を均一化した半導体装置を設計することができる。

【0053】

上述の実施の形態では、配線層の配線パターンを例にして説明したが、本発明

はこれに限定されず、半導体装置を構成する全てのレイアウト層の設計パターンに対して適用することができる。例えば、半導体基板上のトランジスタが配置される層の設計パターンにも適用可能である。

【0054】

なお、コンピュータ10が有すべき機能の処理内容を記述したプログラムが提供される。そのプログラムをコンピュータで実行することにより、上記処理機能がコンピュータ上で実現される。処理内容を記述したプログラムは、コンピュータで読み取り可能な記録媒体に記録しておくことができる。コンピュータで読み取り可能な記録媒体としては、磁気記録装置、光ディスク、光磁気記録媒体、半導体メモリなどがある。磁気記録装置には、ハードディスク装置(HDD)フレキシブルディスク(FD)、磁気テープなどがある。光ディスクには、DVD(Digital Versatile Disc)、DVD-RAM(Random Access Memory)、CD-ROM(Compact Disc Read Only Memory)、CD-R(Recordable)/RW(ReWritable)などがある。光磁気記録媒体には、MO(Magneto-Optical disc)などがある。

【0055】

プログラムを流通させる場合には、例えば、そのプログラムが記録されたDVD、CD-ROMなどの可搬型記録媒体が販売される。また、プログラムをサーバコンピュータの記憶装置に格納しておき、ネットワークを介して、サーバコンピュータから他のコンピュータにそのプログラムを転送することもできる。

【0056】

プログラムを実行するコンピュータは、例えば、可搬型記録媒体に記録されたプログラムもしくはサーバコンピュータから転送されたプログラムを、自己の記憶装置に格納する。そして、コンピュータは、自己の記憶装置からプログラムを読み取り、プログラムに従った処理を実行する。なお、コンピュータは、可搬型記録媒体から直接プログラムを読み取り、そのプログラムに従った処理を実行することもできる。また、コンピュータは、サーバコンピュータからプログラムが転送される毎に、逐次、受け取ったプログラムに従った処理を実行することもできる。

【0057】

(付記 1) ダミーパターンを設計パターン間に挿入するコンピュータを用いた半導体装置の設計方法において、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し、  
前記分割領域の設計パターン間にダミーパターンを挿入し、  
前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出し、  
前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する、

ことを特徴とする半導体装置の設計方法。

【 0 0 5 8 】

(付記 2) 前記設計パターンは、配線パターンであり、前記レイアウト層は、配線層であることを特徴とする付記 1 記載の半導体装置の設計方法。

(付記 3) 前記分割領域の大きさに関する分割指定情報を受け付け、  
前記レイアウトパターンを前記分割指定情報で指定される大きさの分割領域に分割することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 5 9 】

(付記 4) 前記ダミーパターンが挿入される前記分割領域の指定に関する発生ダミー指定情報を受け付け、

前記発生ダミー指定情報で指定される前記分割領域の設計パターン間に前記ダミーパターンを挿入することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 6 0 】

(付記 5) 前記設計パターン間に挿入されるダミーパターンのパターンルールに関するダミールール情報を受け付け、

前記設計パターン間に前記ダミールール情報に基づいたパターンルールのダミーパターンを挿入することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 6 1 】

(付記 6) 前記分割領域と前記分割領域に隣接する分割領域とを含む領域の設計パターン間に前記ダミーパターンを挿入することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 6 2 】

(付記 7) 前記密度が前記所望の値と一致しない場合、前記密度を算出した前記分割領域を拡大した領域において、前記ダミーパターンと前記設計パターンとの密度を算出することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 6 3 】

(付記 8) 前記密度が前記所望の値と一致しない場合、前記密度を算出した前記分割領域と前記分割領域に隣接する分割領域とを含む領域において、前記ダミーパターンと前記設計パターンとの密度を算出することを特徴とする付記 1 記載の半導体装置の設計方法。

【 0 0 6 4 】

(付記 9) 前記レイアウトパターン全体における設計パターンとダミーパターンとの密度を算出することを特徴とする付記 1 記載の半導体装置の設計方法。

(付記 1 0) ダミーパターンを設計パターン間に挿入する半導体装置の設計プログラムにおいて、

コンピュータに、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し、

前記分割領域の設計パターン間にダミーパターンを挿入し、

前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出し、

前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する、

処理を実行させることを特徴とする半導体装置の設計プログラム。

【 0 0 6 5 】

(付記 1 1) ダミーパターンを設計パターン間に挿入する半導体装置の設計プログラムを記録したコンピュータ読み取り可能な記録媒体において、

コンピュータに、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割し、

前記分割領域の設計パターン間にダミーパターンを挿入し、

前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出し、

前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する、

処理を実行させることを特徴とする半導体装置の設計プログラムを記録したコンピュータ読み取り可能な記録媒体。

【0066】

(付記12) ダミーパターンを設計パターン間に挿入する半導体装置の設計装置において、

半導体装置のレイアウト層のレイアウトパターンを分割領域に分割する分割部と、

前記分割領域の設計パターン間にダミーパターンを挿入する挿入部と、

前記ダミーパターンと前記設計パターンとの密度を前記分割領域毎に算出する算出部と、

前記密度が所望の値となるように前記ダミーパターンのパターンルールを変更する変更部と、

を有することを特徴とする半導体装置の設計装置。

【0067】

【発明の効果】

以上説明したように本発明では、半導体装置のレイアウト層のレイアウトパターンを所定の分割領域に分割し、分割領域の設計パターン間にダミーパターンを挿入する。そして、ダミーパターンと設計パターンとの密度を分割領域毎に算出し、密度が所望の値となるようにダミーパターンのパターンルールを変更する。これにより、ダミーパターンと設計パターンとの密度を、半導体装置の全部分において均一化した半導体装置を設計することができる。

【図面の簡単な説明】

【図1】

本発明の原理を説明する原理図である。

【図2】

コンピュータのハードウェアブロック図である。

【図3】

コンピュータの機能ブロック図である。

【図4】

ダミーパターンの挿入を説明する図で、（a）は分割された分割領域内にダミーパターンを挿入する説明図、（b）は分割領域とその分割領域に隣接する分割領域を含む領域にダミーパターンを挿入する説明図である。

【図 5】

ダミーパターンのサイズ、配置の変更を説明する図で、（a）はダミーパターンのサイズ変更、（b）はダミーパターンの間引き、（c）はダミーパターンの追加を説明する図である。

【図 6】

パターン密度算出基準を説明する図で、（a）は分割領域とその隣接する分割領域を含む領域をパターン密度算出基準とした場合、（b）は分割領域を拡大した領域をパターン密度算出基準とした場合を説明する図である。

【図 7】

コンピュータの処理の流れを示したフローチャートである。

【符号の説明】

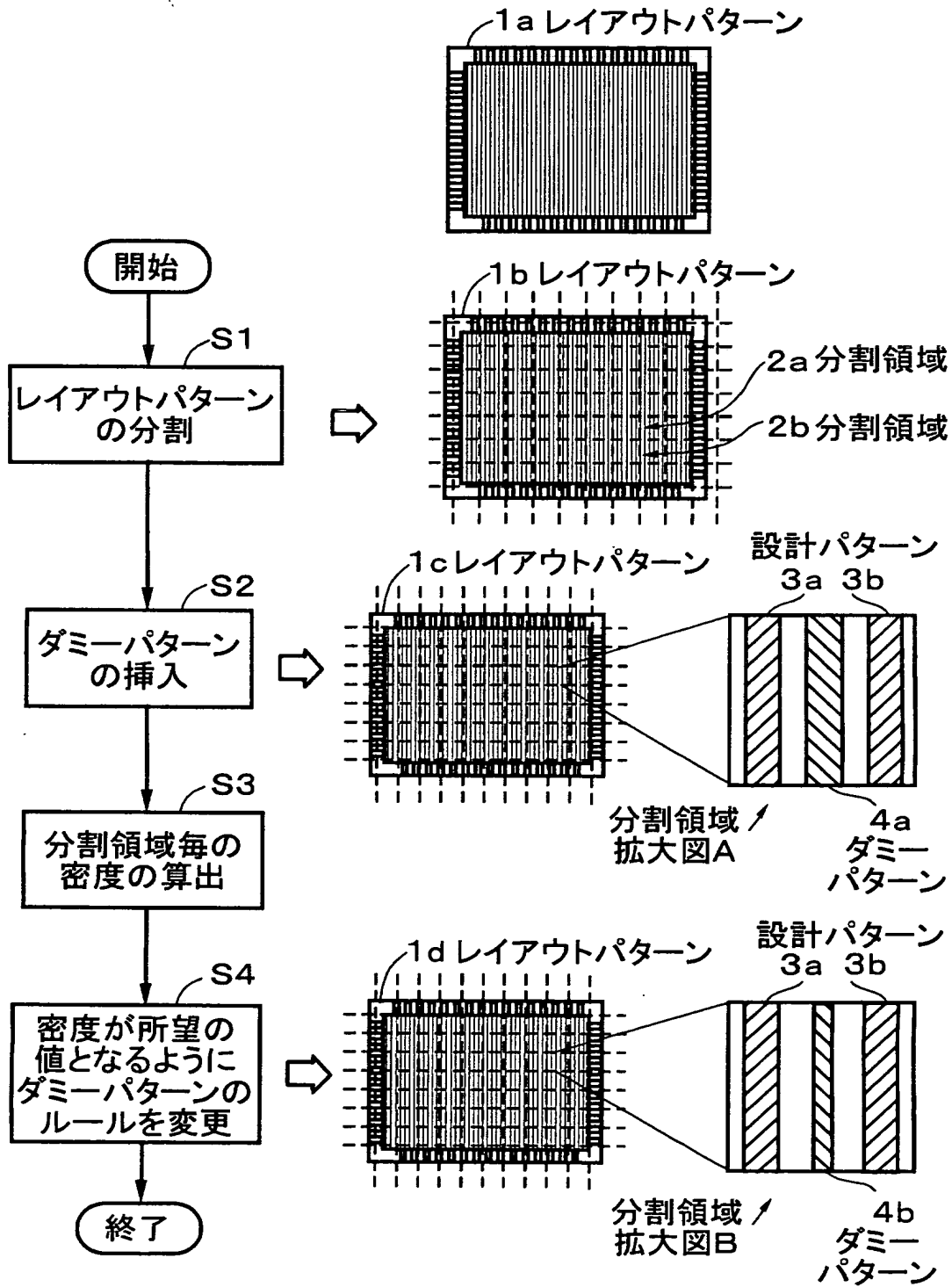
- 1 a ～ 1 d レイアウトパターン
- 2 a, 2 b 分割領域
- 3 a, 3 b 設計パターン
- 4 a, 4 b ダミーパターン
- 1 0 コンピュータ
- 1 1 レイアウトパターン分割部
- 1 2 ダミーパターン挿入部
- 1 3 パターン密度算出部
- 1 4 ダミールール変更部
- 1 5 分割領域拡張部
- 1 6 全パターン密度算出部
- 1 7 レイアウト D B
- 2 1 分割指定情報
- 2 2 ダミールール情報
- 2 3 発生ダミー指定情報

2 4 , 2 5 . 基準密度情報

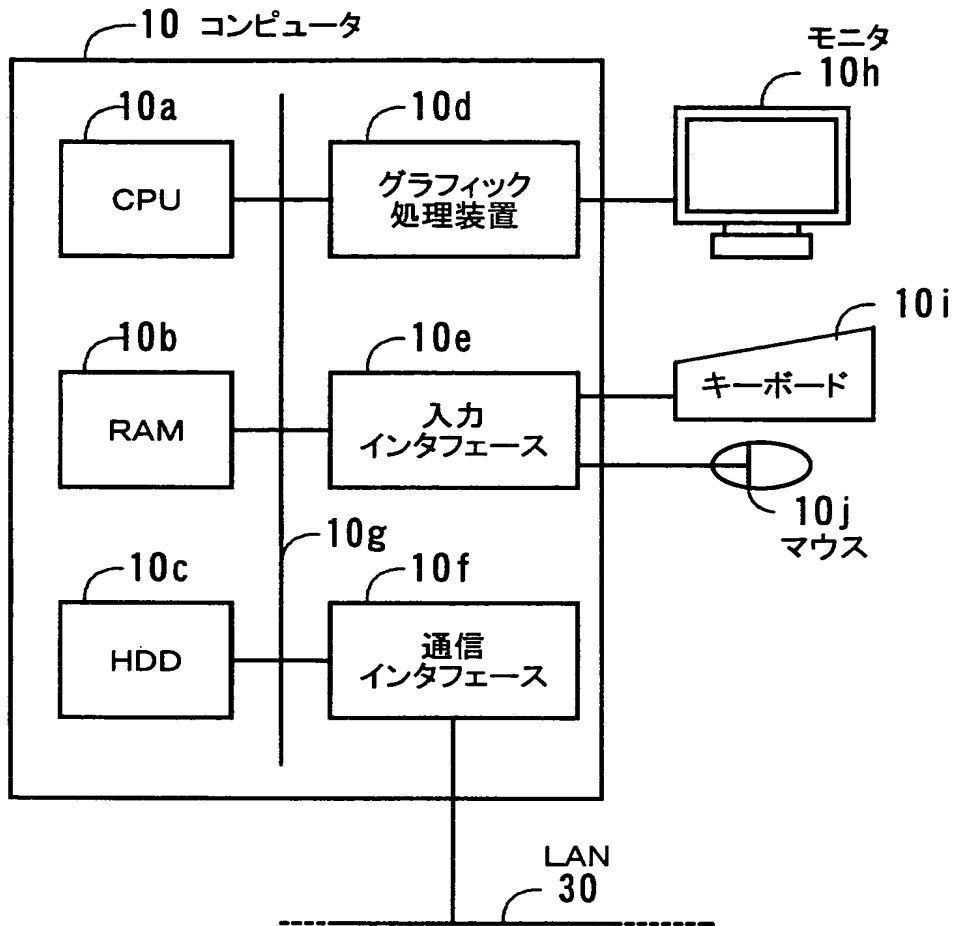


【書類名】 図面

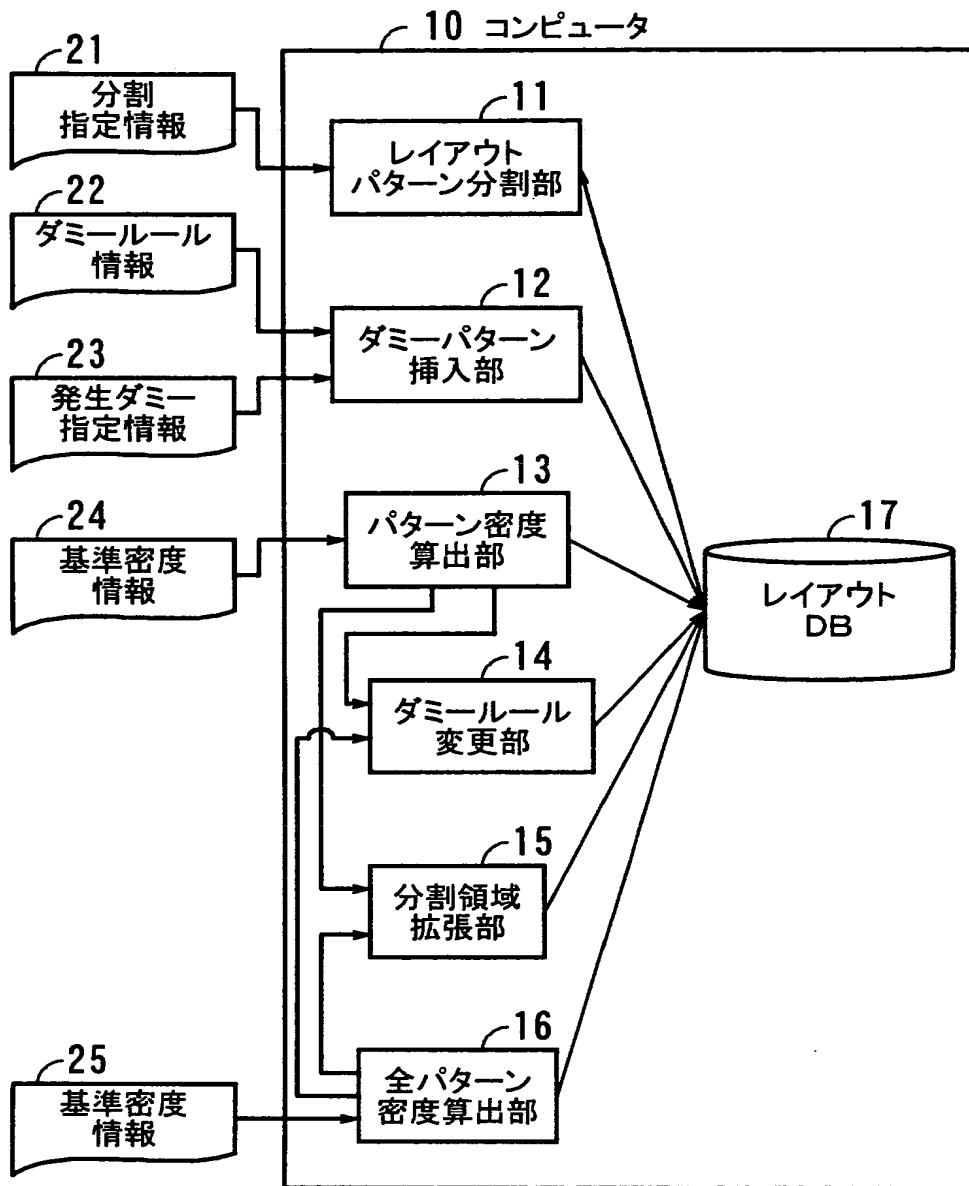
【図 1】



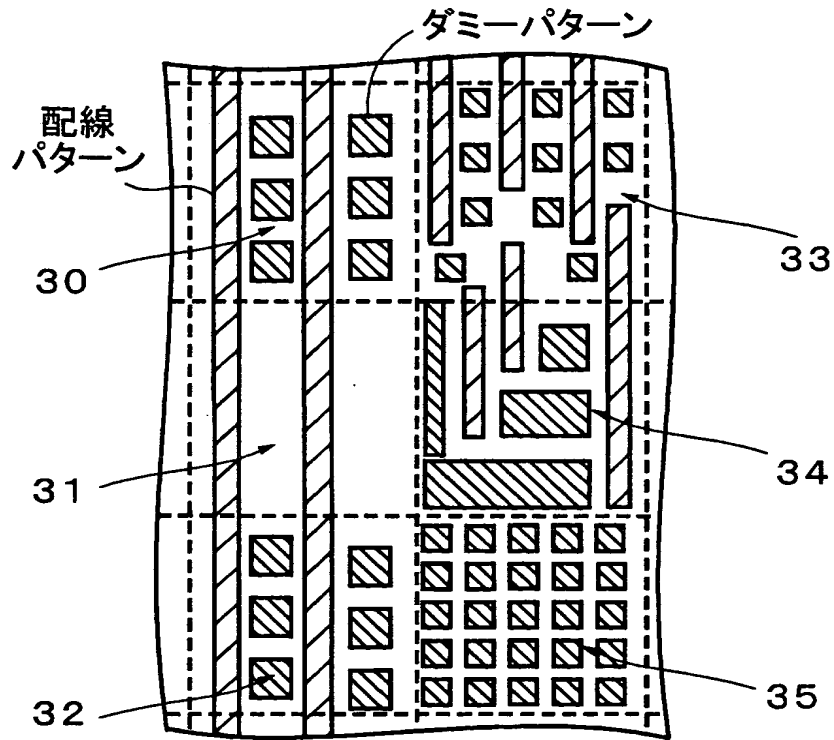
【図 2】



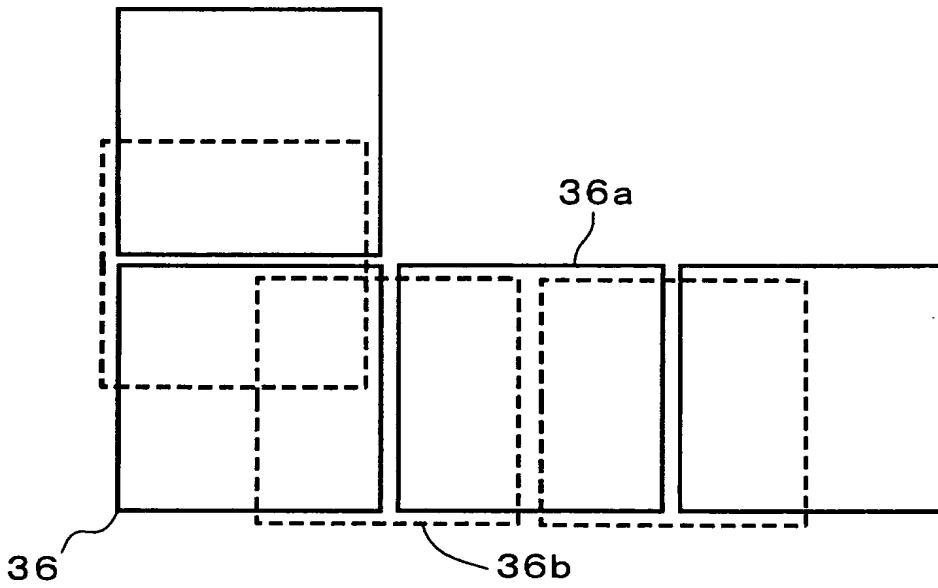
【図 3】



【図 4】

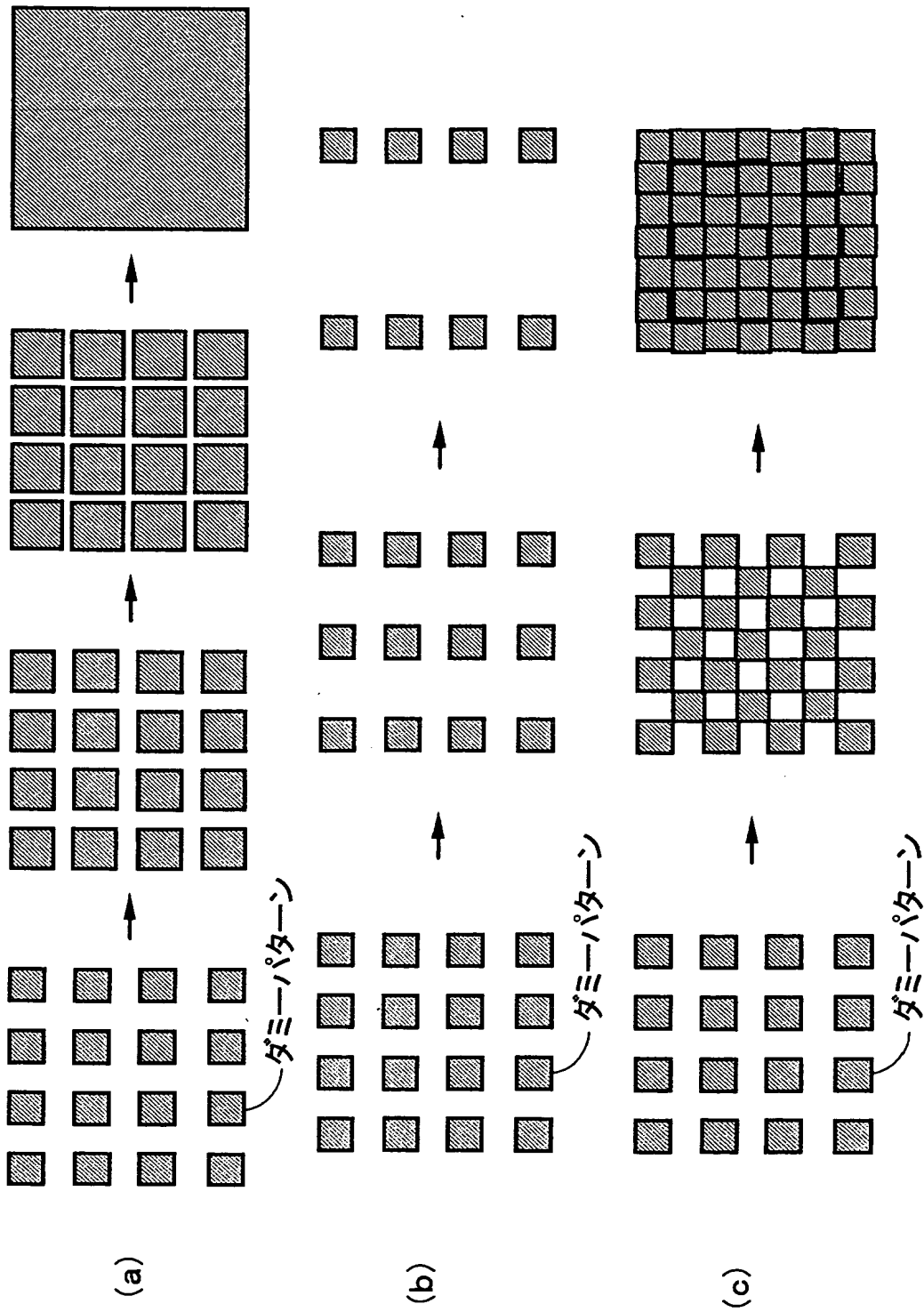


(a)

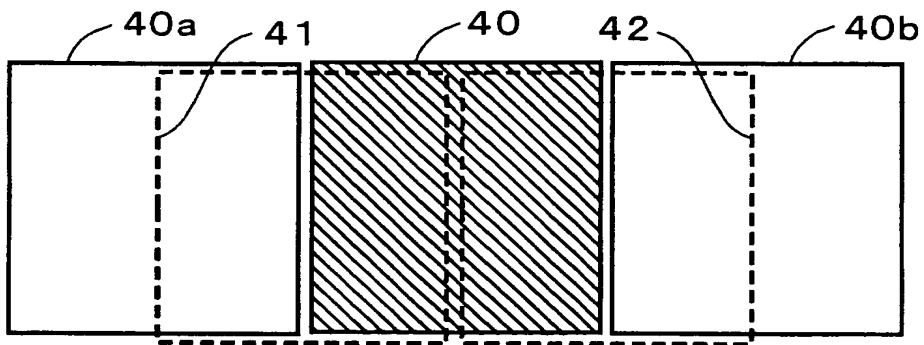


(b)

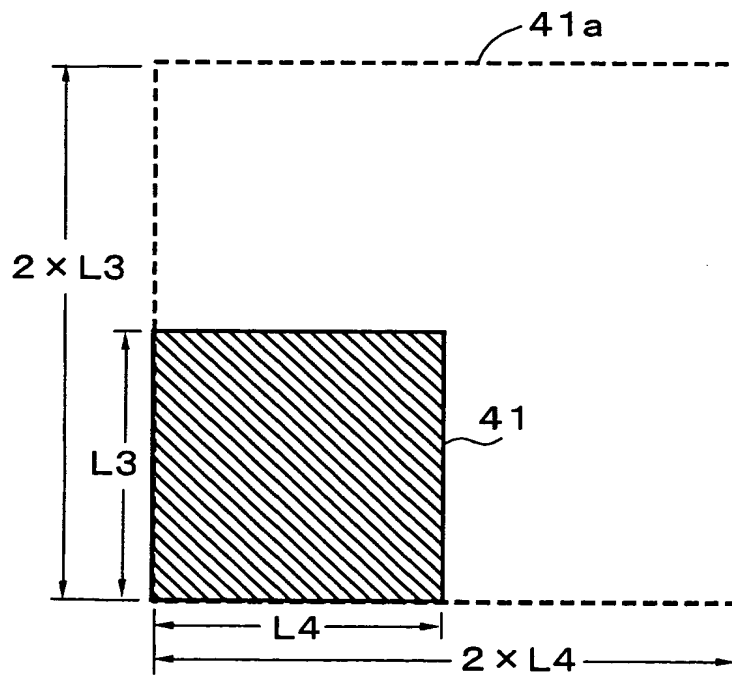
【図 5】



【図 6】

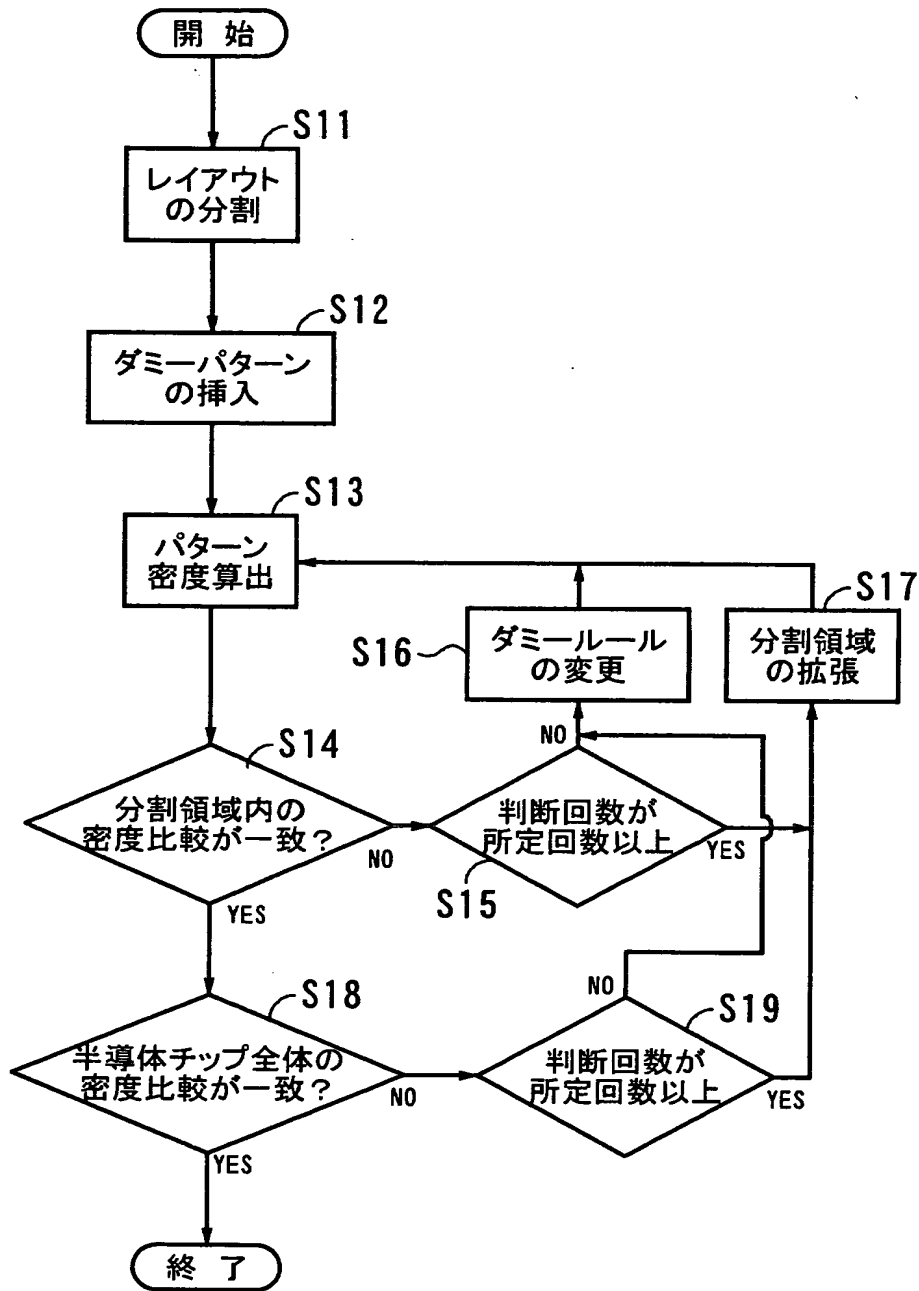


(a)



(b)

【図7】



【書類名】 要約書

【要約】

【課題】 ダミーパターンと設計パターンとの密度を、半導体チップの全部分において均一化した半導体装置を設計する。

【解決手段】 半導体装置のレイアウト層のレイアウトパターン 1 a をレイアウトパターン 1 b に示すように分割領域 2 a, 2 b, . . . に分割する（ステップ S 1）。レイアウトパターン 1 c の分割領域拡大図 A に示すように、分割領域の設計パターン間にダミーパターンを挿入する（ステップ S 2）。ダミーパターンと設計パターンとの密度を分割領域毎に算出する（ステップ S 3）。密度が所望の値となるように、分割領域毎のダミーパターンのパターンルールを、レイアウトパターン 1 d の分割領域拡大図 B のダミーパターン 4 b に示すように変更する（ステップ S 4）。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社